

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04357861 A

(43) Date of publication of application: 10.12.92

(51) Int. Cl

H01L 27/04

H01L 27/108

(21) Application number: 03132519

(71) Applicant: FUJITSU LTD

(22) Date of filing: 04.06.91

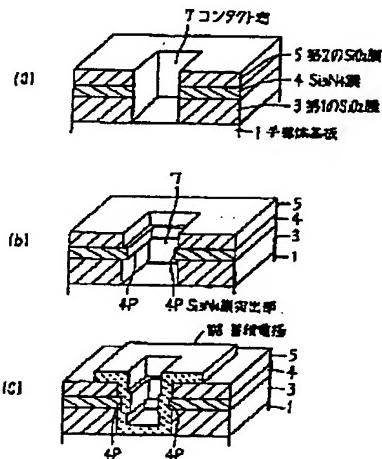
(72) Inventor: MATSUKAWA YOSHIHIRO
KAJITA TATSUYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To provide a method for preventing separation of a storage electrode without reducing a storage capacitance in the case of forming a fin state of the storage electrode in a method for forming a fin-structure capacitor of a DRAM and to improve the manufacturing yield and reliability of the DRAM.

CONSTITUTION: A first insulating film 3 to be etched by predetermined isotropic etching means, a second insulating film 4 not to be etched and a third insulating film 5 to be etched are sequentially formed on a semiconductor substrate 1, and contact windows 7 passing through the third, second and first insulating films are formed by anisotropic etching means. Thereafter, a step of allowing the end of the film 4 to protrude from the sidewall of the window 7, a step of forming a storage electrode pattern extended on the film 5 from the inner surface of the window 7, and a step of forming the electrode in a fin state 8 by removing the third film under the extended part by the isotropic etching means, are included.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-357861

(43)公開日 平成4年(1992)12月10日

(51) Int.Cl. ⁵ H 01 L 27/04 27/108	識別記号 C 8427-4M	府内整理番号 F I	技術表示箇所
	8728-4M	H 01 L 27/10	3 2 5 C

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平3-132519	(71)出願人 000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日 平成3年(1991)6月4日	(72)発明者 松川 佳洋 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

(72)発明者 銀治田 達也
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 井桁 貞一

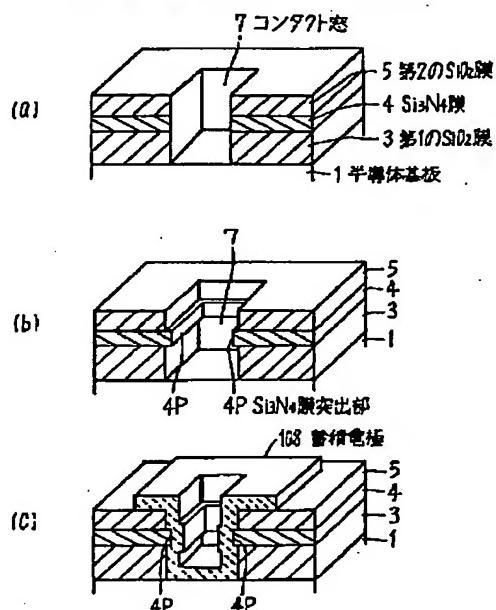
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 半導体装置の製造方法、特にDRAMのフィン構造キャバシタの形成方法に関し、蓄積電極のフィン状加工に際し、蓄積容量の低下をもたらさずに蓄積電極の剥落を防止する方法を提供し、DRAMの製造歩留りや信頼性を向上させることを目的とする。

【構成】 半導体基板1上に、所定の等方性エッチング手段でエッチングされる第1の絶縁膜3、エッチングされない第2の絶縁膜4、エッチングされる第3の絶縁膜5を順次形成し、異方性エッチング手段で第3、第2、第1の絶縁膜を貫通するコンタクト窓7を形成した後、前記等方性エッチング手段でコンタクト窓7の側壁面に第2の絶縁膜4の端部を突出させる工程、このコンタクト窓7の内面から第3の絶縁膜5上に延在する蓄積電極パターンを形成する工程、該延在部下の該第3の絶縁膜を等方性エッチング手段で除去し該蓄積電極をフィン状8に形成する工程を含み構成する。

本発明の原理説明用工程断面斜視図



1

【特許請求の範囲】

【請求項1】 半導体基板上に、所定の等方性エッティング手段によりエッティングされる第1の絶縁膜とエッティングされない第2の絶縁膜及びエッティングされる第3の絶縁膜を、順次積層形成する工程、異方性のドライエッティング手段により該第3、第2、第1の絶縁膜を貫通し該半導体基板面を表すコンタクト窓を形成する工程、該所定の等方性エッティング手段により全面エッティングを行って該コンタクト窓側壁面に該第2の絶縁膜の端部を突出せしめる工程、該第2の絶縁膜の突出部を有するコンタクト窓の内面及び該第3の絶縁膜上に一体の導電膜を形成する工程、該導電膜をバーニングして該コンタクト窓の内面から該第3の絶縁膜上に延在する蓄積電極を形成する工程、該蓄積電極の延在部下の該第3の絶縁膜を除去して該蓄積電極をフィン状に形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記所定の等方性エッティング手段が沸酸系の液によるウェットエッティング方法よりなり、且つ前記第1、第3の絶縁膜が酸化シリコンよりなり、前記第2の絶縁膜が空化シリコンよりなることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法、特にDRAMのフィン構造キャパシタの形成方法に関するもの。

【0002】 近年、DRAMは微細化及び大規模化に伴い、メモリセルが比例縮小されてキャパシタの蓄積容量が減少し、ソフトエラーに弱くなるという問題が顕著になってきている。

【0003】 そこで蓄積容量を増やすために、キャパシタの構造をフィン構造にすることが提案されているが、このフィン構造キャパシタを有するDRAMの製造工程においては、フィン電極の剥がれによる歩留りや信頼性低下の問題が生じており、改善が望まれている。

【0004】

【従来の技術】 図4は従来のDRAMのフィン構造キャパシタの模式側断面図である。図において、51は一導電型半導体基板、52は反対導電型拡散領域、53は酸化シリコン(SiO₂)膜、54は空化シリコン(Si₃N₄)、57はコンタクト窓、58はフィン状蓄積電極、59は誘電体膜、60は対向電極を示す。

【0005】 このような従来のフィン構造キャパシタは通常、図5(a)～(c)の工程断面図及び図4を参照して次に説明する方法により形成されていた。

図5(a) 参照

即ち、図示しないワード線や、キャパシタが接続される反対導電型拡散領域52が形成された一導電型半導体基板51上に形成された層間絶縁膜となる第1の酸化シリコン(SiO₂)膜53上に、沸酸系のエッティング液によってエッチ

ングされない空化シリコン(Si₃N₄)膜54とエッティングされる第2のSiO₂膜55を順次積層形成し、次いで、図示しないレジストマスクを介し、異方性のドライエッティング手段であるアラクティブイオンエッティング(RIE)処理により上記第2のSiO₂膜55、Si₃N₄膜54、第1のSiO₂膜53を貫通し拡散領域52を表すストレートのコンタクト窓57を形成し、次いでこのコンタクト窓57の内面及び第2のSiO₂膜55上に一体の第1のポリSi膜を気相成長手段により形成し、通常のRIE処理によりこのポリSi膜をバーニングして、この第1のポリSi膜からなる蓄積電極158を形成する。

【0006】 図5(b) 参照

次いで、沸酸系のエッティング液によりSi₃N₄膜54をストップとして全面エッティングを行い、第2のSiO₂膜55を完全に除去し、前記蓄積電極158をフィン状蓄積電極58とする。

【0007】 図4参照

そしてその後、上記フィン状蓄積電極58の表面にSiO₂膜、Si₃N₄膜等からなる誘電体膜59を形成し、次いで上記蓄積電極58のフィン状部の下部及び蓄積電極58の上部を含む上記基板上に気相成長手段によりポリSiからなる対向電極60を形成する方法である。

【0008】

【発明が解決しようとする課題】 しかし上記従来の方法を用いて形成されるフィン構造キャパシタにおいては、図5(b)に示したウェットエッティングによるフィン状蓄積電極58下部の第2のSiO₂膜55の除去工程において、蓄積電極58の拡散領域52面へのコンタクト不良や、蓄積電極58とSi₃N₄膜54、第1のSiO₂膜53等の界面への薬品のしみ込み等によってフィン状の蓄積電極58が剥落飛散し、この飛散した蓄積電極58が他の正常なセル部に付着してセル間ショート等によるDRAMの歩留り低下を生じたり、上記剥落飛散した蓄積電極57がエッティング液に導電性粒子汚染を生ぜしめ、このエッティング液で処理される他の半導体ウエーハや他の製造ロットにも歩留りや信頼性の低下をもたらすという問題があった。

【0009】 そのため従来、図6の従来方法の改良例の工程断面図に示すように、第2のSiO₂膜55をエッティング除去して蓄積電極158をフィン状蓄積電極58とする際に、蓄積電極58のフィン状部下の第2のSiO₂膜55のサイドエッティング量を加減して、フィン状部下の基部に第2のSiO₂膜55によるSiO₂膜バーン55Pを残留させ、このSiO₂膜バーン55Pにより付着強度を高めてフィン蓄積電極58の剥落を防止する方法も試みられたが、この方法によると、蓄積容量が大幅に低下し、DRAMの信頼度が低下するという問題があった。

【0010】 そこで本発明は、蓄積電極のフィン状加工に際し、蓄積容量の低下をもたらさずに蓄積電極の剥落を防止する方法を提供し、DRAMの製造歩留りや信頼性を向上させることを目的とする。

【0011】

【課題を解決するための手段】上記課題は、半導体基板上に、所定の等方性エッティング手段によりエッティングされる第1の絶縁膜とエッティングされない第2の絶縁膜及びエッティングされる第3の絶縁膜を、順次積層形成する工程、異方性のドライエッティング手段により該第3、第2、第1の絶縁膜を貫通し該半導体基板面を表に出すコンタクト窓を形成する工程、該所定の等方性エッティング手段により全面エッティングを行って該コンタクト窓側壁面に該第2の絶縁膜の端部を突出せしめる工程、該第2の絶縁膜の突出部を有するコンタクト窓の内面及び該第3の絶縁膜上に一体の導電膜を形成する工程、該導電膜をバーニングして該コンタクト窓の内面から該第3の絶縁膜上に延在する蓄積電極を形成する工程、該蓄積電極の延在部下の該第3の絶縁膜を除去して該蓄積電極をフィン状に形成する工程を有する本発明による半導体装置の製造方法によって解決される。

【0012】

【作用】図1は本発明の原理説明用の工程断面斜視図である。即ち本発明の方法においては、所定の等方性エッティング手段、例えば弗酸系の液によるウェットエッティングに、溶解性を有する第1のSiO₂膜3と、溶解性を持たないSi₃N₄膜4と、溶解性を持つ第2のSiO₂膜5とが順次積層された3層構造の下層絶縁膜を半導体基板1上に形成し、通常の異方性ドライエッティング手段で、図1(a)に示すように、上記下層絶縁膜を貫通し半導体基板1面を表出するストレートのコンタクト窓7を形成した後、所定の等方性エッティング手段即ち弗酸系の液による全面ウェットエッティングを行い、第1のSiO₂膜3と第2のSiO₂膜5とを所定の深さにエッティングする。これによりコンタクト窓7の側壁面に表出している第1、第2のSiO₂膜3、5の端面も所定の深さにエッティングされ、図1(b)に示すように、コンタクト窓7の側壁面に上記エッティング液に溶解性を持たないSi₃N₄膜4の端部が所定の高さで突出する。本発明の方法においては上記のようにコンタクト窓7の側壁面にSi₃N₄膜4の端部を突出させた後(4Pは突出部)、図1(c)に示すように、このコンタクト窓7の内面から第2のSiO₂膜5上に導出される蓄積電極108を形成するので、この蓄積電極108は前記Si₃N₄膜4の突出端部4Pを介して下層絶縁膜に咬止された構造になり、図示しない後工程において蓄積電極108の第2のSiO₂膜5上への延在部下の第2のSiO₂膜5をウェットエッティング手段で選択的に除去して蓄積電極108をフィン状に形成する際に、蓄積電極108の基板1に対するコンタクト不良があつたり、蓄積電極108とSi₃N₄膜4、第1のSiO₂膜3等との界面への薬品のしみ込みがあつたりしてフィン状に形成された蓄積電極の密着性が低下した場合でも、フィン状蓄積電極がエッティング液中へ剥落離散することがなくなり、導電性粒子による基板面の汚染が防止されて、DRAMの製造歩留りは向上す

る。また前記従来の改良例のように蓄積電極のフィン状部の下部に密着性強化用の絶縁膜パターンを設ける必要がないので、蓄積容量の低下がなくセルの信頼性が確保される。

【0013】

【実施例】以下本発明の方法を、一実施例について、図2及び図3に示す工程断面図を参照して具体的に説明する。なお全図を通じ同一対象物は同一符合で示す。

【0014】図2(a) 参照

本発明の方法によりDRAMの具備するフィン構造キャバシタを形成するに際しては、通常の方法により図示しないワード線の形成を終わり、この図示しないワード線と図示しないフィールド酸化膜をマスクにして蓄積ノードとなる例えばn⁺型領域12が形成されたp型基板11上に、先ずCVD法により、厚さ1000～2000Å程度の第1のSiO₂膜13、厚さ500Å程度のSi₃N₄膜14及び厚さ500～1000Å程度の第2のSiO₂膜15を順次積層形成する。ここで、第1のSiO₂膜13及び第2のSiO₂膜15は所定の等方性エッティング手段である弗酸(HF)系の液によるウェットエッティングにおいてエッティング性を有する膜であり、Si₃N₄膜14はエッティング性を持たない膜である。

【0015】図2(b) 参照

次いでこの基板上に、前記n⁺型領域12の上部に開口を有するレジスト膜16を形成し、このレジスト膜16をマスクにし、異方性のエッティング手段である例えば4弗化炭素(CF₄)と3弗化メタン(CHF₃)との混合ガスによるアクラティブイオンエッティング処理により、前記第2のSiO₂膜15及びSi₃N₄膜14、第1のSiO₂膜13を貫いてn⁺型領域12を表出するストレートのコンタクト窓17を形成する。

【0016】図2(c) 参照

次いで上記レジスト膜16を除去した後、所定の等方性エッティング手段であるHF系の液による全面ウェットエッティングを行い、第2のSiO₂膜15及び第1のSiO₂膜13の表出面を300～500Å程度の深さにエッティングする。

【0017】ここで、コンタクト窓17の側壁面に表出する第2のSiO₂膜15及び第1のSiO₂膜13の端部も300～500Å程度の深さにエッティングされ、上記エッティング手段に非エッティング性を有するSi₃N₄膜14の端部が300～500Å程度の長さで突出する。なお、14PはSi₃N₄膜14の突出部を示す。

【0018】図2(d) 参照

次いでCVD法により、上記コンタクト窓17の内面を含む基板上即ち第2のSiO₂膜15上に、蓄積電極の材料である厚さ2000～3000Å程度の第1のポリSI層を形成し、通常の不純物導入手段により不純物を導入してこのポリSI層に導電性を付与した後、通常のフォトリソグラフィによりバーニングを行い、前記コンタクト窓17内から第2のSiO₂膜15上に導出延在するポリSI蓄積電極118を形成する。

5

【0019】図3(a) 参照

次いで、従来同様、例えはEHP系の液による全面ウェットエッティングを行い、ボリSi蓄積電極118の第2のSiO₂膜15上への延び部の下部を含む第2のSiO₂膜15を完全に除去してフィン状のボリSi蓄積電極18を形成する。

【0020】なおこの際、フィン状ボリSi蓄積電極18はコンタクト窓17の側壁部において、図示のようにSi₃N₄膜突出部14Pにより咬止されているので、蓄積電極18の基板面即ちn⁺型領域12面へのコンタクト不良や、蓄積電極18とSi₃N₄膜4、第1のSiO₂膜3等との界面への製品のしみ込み等があつてその密着性が低下した場合にも、このフィン状蓄積電極18がエッティング液中へ剥落離散することはない。

【0021】図3(b) 参照

次いで、従来通り、CVD法による厚さ60~70Å程度のSi₃N₄膜の形成及びこのSi₃N₄膜表面部の熱酸化工程を経て、フィン状蓄積電極18の表出面を含む基板の表出面即ちSi₃N₄膜4上に(Si₃N₄膜+SiO₂膜)構成の誘電体膜19を形成し、次いで従来通り、前記フィン状蓄積電極18のフィン状部の下部を含む上記基板上にCVD法により厚さ3000Å程度の第2のボリSi層を形成し、この第2のボリSi層に通常の方法により不純物を導入して導電性を付与することによりボリSi対向電極20を形成し、フィン状蓄積電極18を有するフィン構造キャバシタが完成する。

【0022】なお、本発明の方法において所定の等方性エッティング手段はウェットエッティング法に限られるものではなく、等方性的ドライエッティング方法であつてもよい。また、第1、第2、第3の絶縁膜はエッチャントの種類によって異なり、上記SiO₂膜、Si₃N₄膜、膜SiO₂膜に限られるものではない。

【0023】更にまた、蓄積電極、対向電極の材料も、上記ボリSiには限られない。上記実施例に示したように本発明によれば、蓄積電極をフィン状に加工するエッティング工程において、フィン状蓄積電極がコンタクト窓の側壁に形成された絶縁膜の突出部によって咬止されているので、基板面から剥落することがない。従ってエッティング工程で剥落飛散したフィン状蓄積電極の付着によるセル間ショート等の障害は防止されフィン構造キャバシ

6

タを有するDRAM等の製造歩留りが向上する。また、上記のようにコンタクト窓側壁の突起によりフィン状蓄積電極が基板面にしっかりと咬止されるので、蓄積電極のフィン状部の下部に密着度強化用の絶縁膜パターンを設ける必要がなく、蓄積容量も充分に確保できる。

【0024】なお、本発明は多層フィン構造にも適用される。

【0025】

【発明の効果】以上説明のように本発明によれば、蓄積容量の低下をもたらさずに、フィン状構造形成に際しての蓄積電極の剥落が防止されるので、フィン構造キャバシタを有するDRAMの製造歩留り及び信頼性の向上が図れる。

【図面の簡単な説明】

【図1】 本発明の原理説明用工程断面斜視図、

【図2】 本発明の方法の一実施例の工程断面図(その1)

【図3】 本発明の方法の一実施例の工程断面図(その2)

【図4】 従来のフィン構造キャバシタの模式側断面図

【図5】 従来のフィンキャバシタ形成方法の工程断面図

【図6】 従来の改良方法の工程断面図

【符号の説明】

1 半導体基板

3、13 第1のSiO₂膜

4、14 Si₃N₄膜

4P Si₃N₄膜突起部

5、15 第2のSiO₂膜

7、17 コンタクト窓

11 p型Si基板

12 n⁺型領域

16 レジスト膜

18 フィン状ボリSi蓄積電極

19 誘電体膜

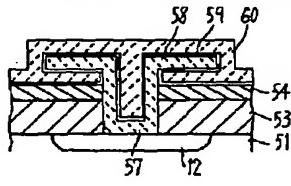
20 ボリSi対向電極

108 蓄積電極

118 ボリSi蓄積電極

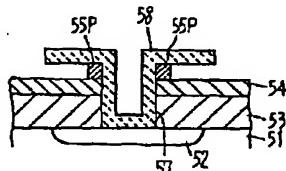
【図4】

従来のフィン構造キャバシタの模式側断面図



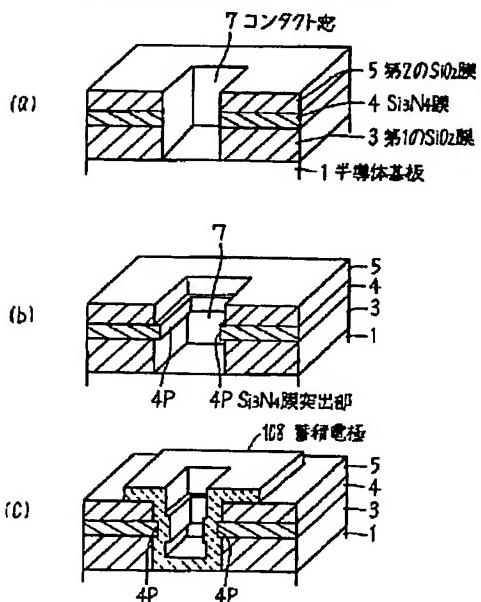
【図6】

従来の改良方法の工程断面図



【図1】

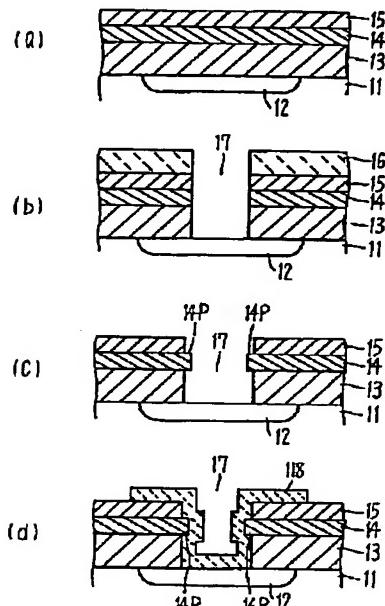
本発明の原理説明用工程断面斜視図



【図3】

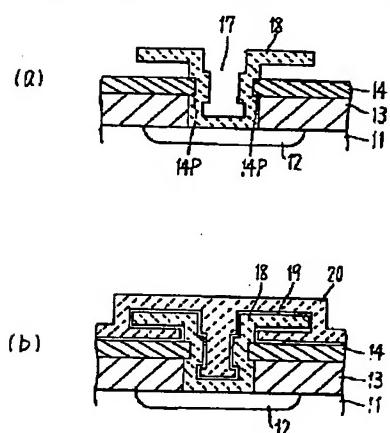
【図2】

本発明の方法の一実施例の工程断面図(甲の1)



【図5】

本発明の方法の一実施例の工程断面図(甲の2)



従来のフィンチャバシテ形成方法の工程断面図

